

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-248537

(43)Date of publication of application : 06.11.1991

(51)Int.Cl.

H01L 21/336
H01L 29/784

(21)Application number : 02-047683

(71)Applicant : NEC CORP

(22)Date of filing : 27.02.1990

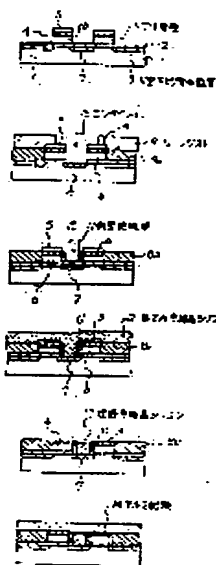
(72)Inventor : KODAMA NORIAKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To form wirings flat by opening a contact hole at a gate electrode in a self-alignment manner, and burying a polycrystalline silicon in the hole.

CONSTITUTION: A gate electrode 6 formed with a first insulating film 4 and a first polycrystalline silicon film 5 on the upper surface is formed on the main surface of a substrate 1 through a gate insulating film 2, and with the electrode 6 as a mask an interlayer insulating film 8a is flatly deposited. Then, the film 8 existing on the contact hole 15 forming region between adjacent gate electrodes 6 is selectively removed by etching to open a self-alignment contact hole 15 at the electrode 6, a sidewall insulating film 11 is formed on the side of the hole 15, a second polycrystalline silicon 12 is deposited, and etched back to allow a second polycrystalline silicon film 13 to remain only on the buried part of the hole 15. Thus, when aluminum wirings 14 are formed, the step coverage of the wiring 14 at the part of the hole 15 is improved, and discontinuity can be eliminated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(J.P.)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-248537

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月6日

H 01 L 21/336
29/784

8422-5F H 01 L 29/78
8422-5F

3 0 1 P
3 0 1 G

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-47683

⑰ 出 願 平2(1990)2月27日

⑱ 発 明 者 児 玉 典 昭 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置の製造方法

特許請求の範囲

(1) 第1導電型の半導体基板の一主面上に、ゲート絶縁膜、ゲート電極を構成する膜、第1の絶縁膜、第1の多結晶シリコン膜を順次形成する工程、

前記第1の多結晶シリコン膜、前記第1の絶縁膜および前記ゲート電極を構成する膜を、同時にパターンニングして、前記ゲート電極を構成する膜からなるゲート電極を形成する工程、

前記ゲート電極をマスクにして、イオン注入法により、前記半導体基板表面に第2導電型の不純物拡散層を形成する工程、

前記ゲート絶縁膜、前記ゲート電極、前記第1の絶縁膜および前記第1の多結晶シリコン膜の露呈面全面を覆い、上表面が平坦な層間絶縁膜を形

成する工程、

前記層間絶縁膜をエッチバックして、前記ゲート電極上部の前記第1の多結晶シリコン膜を露呈させる工程、

隣接する前記ゲート電極間のコンタクト孔形成領域に存在する前記層間絶縁膜を選択的にエッチング除去することにより、前記ゲート電極に自己整合的なコンタクト孔を開口する工程、

前記ゲート電極上部の前記第1の多結晶シリコン膜、前記層間絶縁膜および前記コンタクト孔の露呈面全面を覆う第2の絶縁膜を堆積し、反応性イオンエッチングにより前記コンタクト孔の側面に前記第2の絶縁膜からなる側壁絶縁膜を形成する工程、

前記ゲート電極上部の前記第1の多結晶シリコン膜および前記層間絶縁膜の露呈面全面を覆い、かつ、前記コンタクト孔を充填する第2の多結晶シリコン膜を堆積し、エッチバックにより前記ゲート電極上部の前記第1の多結晶シリコン膜および前記層間絶縁膜の露呈面全面を覆った前記第2

の多結晶シリコン膜並びに前記ゲート電極上部の前記第1の多結晶シリコン膜を完全に除去し、前記コンタクト孔の内部のみに前記第2の多結晶シリコン膜を埋設する工程、

を有することを特徴とする半導体装置の製造方法、

(2) 第1導電型の半導体基板の一主面上に、第1のゲート絶縁膜、第1のゲート電極を構成する膜、第2のゲート絶縁膜、第2のゲート電極を構成する膜、第1の絶縁膜、第1の多結晶シリコン膜を順次形成する工程、

前記第1の多結晶シリコン膜、前記第1の絶縁膜、前記第2のゲート電極を構成する膜、前記第2のゲート絶縁膜および前記第1のゲート電極を構成する膜を、同時にパターンニングして、前記第1のゲート電極を構成する膜、前記第2のゲート絶縁膜および前記第2のゲート電極を構成する膜からなる2層構造のゲート電極を形成する工程、

を有することを特徴とする請求項(1)記載の半導

体装置の製造方法、

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特にMOS型半導体装置のゲート電極に自己整合的なコンタクト孔の形成方法に関する。

(従来の技術)

ゲート電極に自己整合的なコンタクト孔の形成方法に関する従来技術の代表例を、縦断面図第3図(a)～(e)を用いて説明する。

まず、第3図(a)に示すように、P型半導体基板1の一主表面上に、ゲート絶縁膜2を介してN型のゲート電極用多結晶シリコン膜3が堆積され、ゲート電極用多結晶シリコン膜3の上面には第1の絶縁膜4が堆積される。

次に、第3図(b)に示すように、第1の絶縁膜4およびゲート電極用多結晶シリコン膜3を同時にパターンニングしてゲート電極6を形成し、ゲート電極6をマスクにしたイオン注入によりN

型不純物拡散層7を形成する。

次に、第3図(c)に示すように、全面に第2の絶縁膜8を堆積する。

続いて、第3図(d)に示すように、隣接する2個のゲート電極6上の第2の絶縁膜8の上面に、コンタクト孔の開口用のフォトレジスト9のパターンの縁端が乗るようにフォトレジスト9を形成し、これをマスクにRIE(反応性イオンエッチング)法によりコンタクト孔15を開口し、同時にコンタクト孔の側面に第2の絶縁膜8からなる側壁絶縁膜11を形成する。

次に、第3図(e)に示すように、フォトレジスト9を除去した後、2個のゲート電極6に挟まれたコンタクト孔を介してN型不純物拡散層7に接続されるアルミ配線14を形成する。

(発明が解決しようとする課題)

隣接したゲート電極の間に自己整合的にコンタクト孔を形成する従来の方法を上述したが、従来の方法では、隣接したゲート電極の間隔が狭くなるに従い、コンタクト孔の底面の長さでコンタク

ト孔の深さとの比を表わすアスペクト比が大きくなり、アルミ配線を形成する際に、コンタクト孔の部分でのアルミ配線の段差被覆性が悪くなり、断線に致するという欠点がある。

上述の従来例は、1層構造のゲート電極の例であるが、不揮発性半導体記憶素子のように2層構造のゲート電極を有する場合、この傾向は特に顕著になる。

(課題を解決するための手段)

本発明のMOS型半導体装置のゲート電極に自己整合的なコンタクト孔の形成方法は、半導体基板の主面上にゲート絶縁膜を介して、上面に自己整合的に第1の絶縁膜、第1の多結晶シリコン膜が形成されたゲート電極を形成し、これをマスクに不純物拡散層を形成し、層間絶縁膜を平坦に堆積してからゲート電極の上部の多結晶シリコン膜が露呈するまで層間絶縁膜に対してエッチバックを行ない、続いて、隣接するゲート電極間のコンタクト孔形成領域に存在する層間絶縁膜を選択的にエッチング除去してゲート電極に自己整合的な

コンタクト孔を開口し、第2の絶縁膜を全面に堆積した後反応性イオンエッチングによりコンタクト孔の側面に第2の絶縁膜からなる側壁絶縁膜を形成し、第2の多結晶シリコン膜を堆積し、第2および第1の多結晶シリコン膜をエッチバックしてコンタクト孔の埋設部分のみに第2の多結晶シリコン膜を残留させる工程を有している。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図(a)～(j)は本発明の第1の実施例の縦断面図である。

まず、第1図(a)に示すように、P型半導体基板1の一主表面上に、ゲート絶縁膜2を介してN型のゲート電極用多結晶シリコン膜3が堆積され、ゲート電極用多結晶シリコン膜3の上面には第1の絶縁膜4が堆積され、第1の絶縁膜4の上面には第1の多結晶シリコン膜5が堆積される。

次に、第1図(b)に示すように、第1の多結晶シリコン膜5、第1の絶縁膜4およびゲート電

極用多結晶シリコン膜3を同時にパターンニングしてゲート電極6を形成し、ゲート電極6をマスクにしたイオン注入によりN型不純物拡散層7を形成する。

次に、第1図(c)に示すように、全面に層間絶縁膜8aを堆積し、熱処理によりその上表面を平坦にする。

続いて、第1図(d)に示すように、第1の多結晶シリコン膜5が露呈するまで層間絶縁膜8aをエッチバックする。

次に、第1図(e)に示すように、隣接する2個のゲート電極6上の第1の多結晶シリコン膜5の上面に、コンタクト孔の開口用のフォトレジスト9のパターンの縁端が乗るようにフォトレジスト9を形成し、これをマスクに層間絶縁膜8aのエッチングを行ない、コンタクト孔15を開口する。

次に、第1図(f)に示すように、第2の絶縁膜10を全面に堆積する。

続いて、第1図(g)に示すように、コンタク

ト孔15の底面のN型不純物拡散層7およびゲート電極6上部の第1の多結晶シリコン膜5が露呈するまで、第2の絶縁膜10をRIE法によりエッチングし、コンタクト孔15の側面に第2の絶縁膜10による側壁絶縁膜11を形成する。

次に、第1図(h)に示すように、コンタクト孔15の深さ程度の膜厚の第2の多結晶シリコン膜12を全面に堆積する。

続いて、第1図(i)に示すように、コンタクト孔15内部以外の多結晶シリコン膜12およびゲート電極6上部の第1の多結晶シリコン膜5をエッチング除去する多結晶シリコンのエッチバックを行ない、コンタクト孔15の内部にのみ第2の多結晶シリコン膜12を残留させて埋設多結晶シリコン13を形成する。しかる後、埋設多結晶シリコン13にN型の不純物を導入する。

最後に、第1図(j)に示すように、アルミ配線14を形成する。

第2図は、本発明の第2の実施例を示す縦断面図である。

第1の実施例では、ゲート電極が1層構造の場合を示したが、本実施例では、ゲート電極が第1のゲート電極17と第2のゲート電極19との2層からなる。第1のゲート電極17と第2のゲート電極19との間には第2のゲート絶縁膜18が存在し、第1のゲート電極17は第1のゲート絶縁膜16を介しP型半導体基板1上に形成されている。

第2図に示る製造方法は、P型半導体基板1上に、第1のゲート絶縁膜16、第1のゲート電極を構成する膜、第2のゲート絶縁膜18、第2のゲート電極を構成する膜、第1の絶縁膜4、第1の多結晶シリコン膜を順次形成する工程を経た後、第1の実施例の製造方法に準じている。

〔発明の効果〕

以上説明したように本発明は、半導体基板の一主面上のゲート絶縁膜を介して形成されたゲート電極に対し自己整合的にコンタクト孔を開口でき、かつ、コンタクト孔に多結晶シリコンを埋設できるため、隣接したゲート電極の間にコンタク

ト孔を形成し、そこに配線を接続しても、コンタクト孔には埋設多結晶シリコンが存在するためにコンタクト孔上部での段差はきわめて少なく、このためそこでの配線の段差被覆性はきわめて良好になり、さらに、配線はほとんど平坦に形成出来るため、配線の断線が起ることはない。

そのため、隣接したゲート電極の間にコンタクト孔を形成する場合、ゲート電極の間隔はリソグラフィ技術の限界まで狭めることが出来、半導体素子の微細化に有効である。

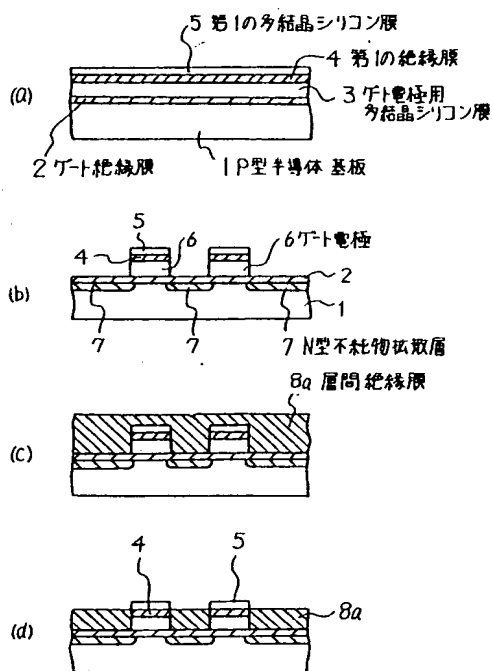
図面の簡単な説明

第1図(a)～(j)は本発明の第1の実施例の縦断面図、第2図は本発明の第2の実施例の縦断面図、第3図(a)～(e)は従来技術の縦断面図である。

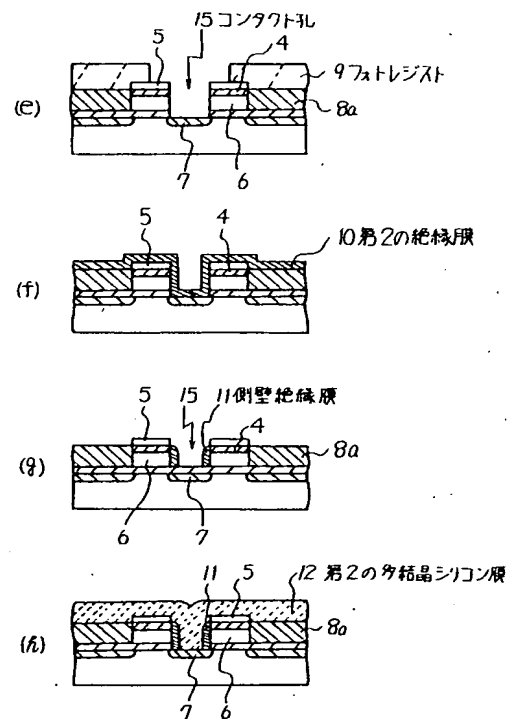
1…P型半導体基板、2…ゲート絶縁膜、3…ゲート電極用多結晶シリコン膜、4…第1の絶縁膜、5…第1の多結晶シリコン膜、6…ゲート電極、7…N型不純物拡散層、8、10…第2の絶

縁膜、8a…層間絶縁膜、9…フォトリソグ、11…側壁絶縁膜、12…第2の多結晶シリコン膜、13…埋設多結晶シリコン、14…アルミ配線、15…コンタクト孔、16…第1のゲート絶縁膜、17…第1のゲート電極、18…第2のゲート絶縁膜、19…第2のゲート電極。

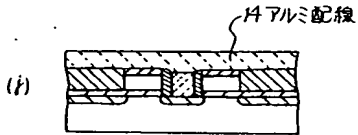
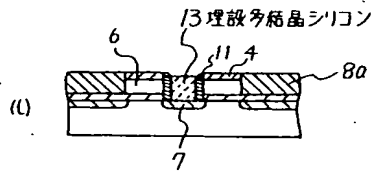
代理人 井理士 内 原 晋



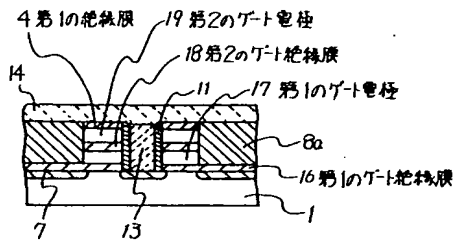
第1図



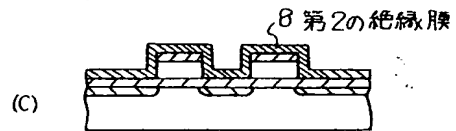
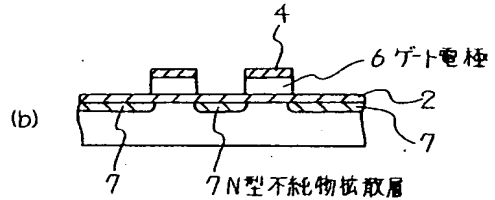
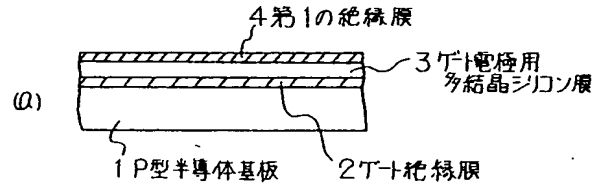
第1図



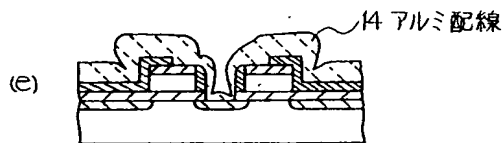
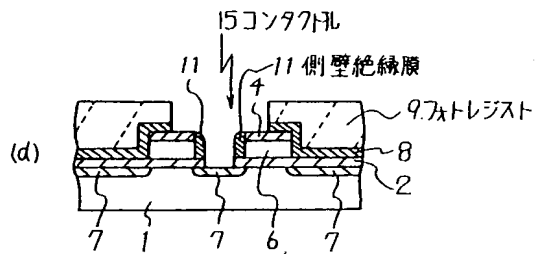
第1図



第2図



第3図



第3図